

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297873

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 23/12

(21)Application number : 10-101522

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.04.1998

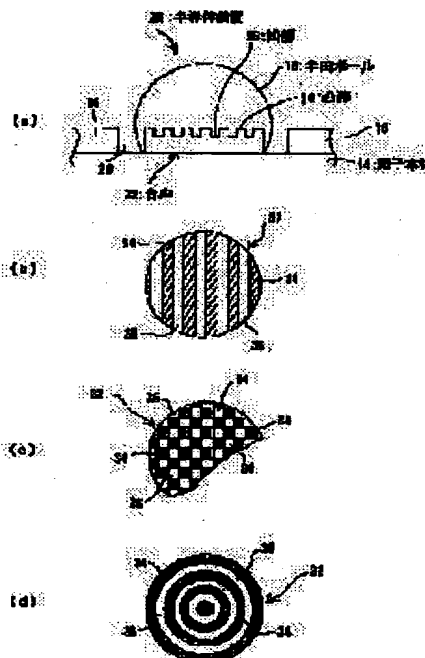
(72)Inventor : HANAOKA TERUNAO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To relax shear stress acting on solder balls when a semiconductor device is mounted.

**SOLUTION:** A semiconductor device 30 is equipped with a pad 32 of copper on the outer terminal of a device main body 14, and a solder ball 18 is provided covering the pad 32. The pad 32 is possessed of projections 34 and recesses 36 on its upside. These projections 34 and recesses 36 are formed like belts, a checkered pattern or concentric circles, so that a joint surface between the pad 32 and the solder ball 18 is enhanced in area. The projections 34 are deflected and deformed by shear stress imposed on solder (solder ball 18) to relax the shear stress absorbing it partly when the solder ball 18 is melted and the semiconductor device 30 is mounted on a board.



## LEGAL STATUS

[Date of request for examination]

15.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device which was applied to the semiconductor device, especially fixed the solder ball to the external end-connection child like a ball grid array (BGA), and its manufacture method.

[0002]

[Description of the Prior Art] In recent years, high integration of a semiconductor device and a miniaturization are demanded strongly, and development of the package of the magnitude which is a chip degree, and the so-called chip-size package (CSP) is performed. In such a small package, in order to attain many pin(many-items child)-ization, the external end-connection child has been stationed in the shape of a matrix to the semiconductor device or the active side of a package, and the solder ball is fixed to the external end-connection child. Drawing 7 shows a part of conventional semiconductor device which has a solder ball.

[0003] drawing 7 -- it is and the plinth 12 is formed in the location where the semiconductor device 10 corresponded with the external end-connection child of the surface of the element main part 14 by the copper thin layer. Moreover, the solder resist 16 which has covered the periphery section of a plinth 12 is formed in the surface of the element main part 14. And the solder ball 18 is fixed into the portion which is not covered with the solder resist 16 of a plinth 12.

[0004] By the way, in semiconductor devices, such as CSP, in order to attain high integration and many pin-ization, the magnitude of a plinth 12 or the solder ball 18 is restrained by about 200-300 micrometers for a diameter. For this reason, when the plane-of-composition product of a plinth 12 and the solder ball 18 becomes small, both bonding strength is insufficient and a semiconductor device 10 is mounted in a substrate, big shearing stress acts on the solder ball 18 from the difference of coefficient of thermal expansion with a semiconductor chip 10 and a mounting substrate, and the problem on which the solder ball 18 exfoliates from a plinth 12 is produced. Then, in order to heighten the bonding strength of the solder ball 18 and a plinth 12, the terminal of structure like drawing 8 is proposed.

[0005] That is, a gap 20 is formed between a plinth 12 and solder RESHIZUTO 16, without putting solder resist 16 on a plinth 12, and while the lower part of the solder ball 18 covers the side of a plinth 12 and enlarges the plane-of-composition product of the solder ball 18 and a plinth 12, he is trying for the element main part 14 to receive the shearing stress which acts on the solder ball 18 through a plinth 12 in the case of mounting.

[0006]

[Problem(s) to be Solved by the Invention] However, it sets to the above-mentioned conventional semiconductor device. Since [ which may have the structure which eases the shearing stress which transmits the shearing stress which acts on the solder ball 18 to the element main part 14 through a plinth 12, and acts on the solder ball 18 in the case of mounting to the substrate of a semiconductor device 10 ] there is nothing, Moreover, since the bonding strength of a plinth 12 and the solder ball 18 is not enough, a crack cannot be produced on the solder ball 18, or a plinth 12 cannot separate from the element main part 14, or the element main part 14 is missing and sufficient reliability cannot be acquired.

[0007] This invention was made in order to cancel the defect of said conventional technology, and it aims at easing the shearing stress which acts on a solder ball in the case of mounting.

[0008] Moreover, this invention aims at enlarging bonding strength of a solder ball and a plinth.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, a semiconductor device concerning this invention has composition in which heights or a crevice was formed on the surface of a plinth which fixes said solder ball, in a semiconductor device which fixed a solder ball to an external end-connection child. Thus, when a solder ball is fused and a semiconductor device is mounted in a substrate, a constituted semiconductor device When the

height of the perimeter which forms heights or a crevice by shearing stress which acts on solder (solder ball) by difference of coefficient of thermal expansion with a semiconductor device and a mounting substrate deforms, in order to absorb a part of shearing stress, Shearing stress is eased and it can prevent a crack arising in solder, or a plinth separating, or producing a chip in a semiconductor device. Moreover, while it becomes large about a plane-of-union product (touch area) of a plinth and a solder ball and both bonding strength becomes large by having formed heights or a crevice in a plinth, shearing stress which acts on solder can be distributed and it can prevent that a crack etc. arises in solder.

[0010] By preparing two or more heights or crevices, it becomes larger about a plane-of-union product of a plinth and a solder ball, and both bonding strength can be heightened. If a Mt. Tsurugi-like, i.e., heights, aspect is enlarged for two or more heights, since heights will bend easily by shearing stress which acts on solder, a relaxation effect of shearing stress can be enlarged more. moreover, a plinth -- a mushroom -- solder seems not to exfoliate from a plinth by shearing stress, since it not only can ease shearing stress which the whole plinth bends and acts on solder, but an umbrella part will be formed in a plinth, if it forms in a \*\*

[0011] And a method of manufacturing the above-mentioned semiconductor device A production process at which patterning of the 1st resist film is prepared and carried out to a production process which forms a conductive metal layer in an active side which has an external terminal on said metal layer, and said metal layers other than a portion corresponding to said external terminal are exposed, A production process which forms a plinth which consists of said metal layer in an external terminal location which removes the 1st resist film after etching and removing an outcrop of said metal layer, A production process which prepares and carries out patterning of the 2nd resist film to the upper part of said active side, and leaves said 2nd resist film only to a part on said plinth, After carrying out half etching of said plinth, it is made a configuration which has a production process which removes the 2nd resist film and forms heights or a crevice in the upper surface of a plinth, and a production process which covers said plinth and prepares a solder ball. While irregularity is formed in the upper surface of a plinth, and a touch area of a plinth and a solder ball becomes large by this and being able to improve both bonding strength, shear capacity to act on solder at the time of mounting can be eased.

[0012] Moreover, a manufacture method of a semiconductor device concerning this invention A production process which prepares and carries out patterning of the 1st resist film a production process which forms a conductive metal layer in an active side which has an external terminal, and on said metal layer, and leaves the 1st resist film to a part of said external terminal and corresponding portion, A production process which removes said 1st resist film after carrying out half etching of said metal layer, A production process at which patterning of the 2nd resist film is prepared and carried out to the upper part of said active side, and said metal layers other than a portion corresponding to said external terminal are exposed, After etching and removing an outcrop of said metal layer, it was made a configuration which has a production process which forms a plinth which removes the 2nd resist film and has heights or a crevice in an external terminal location, and a production process which covers said plinth and prepares a solder ball.

[0013] Furthermore, a manufacture method of a semiconductor device concerning this invention A production process which forms a conductive metal thin film in an active side which has an external terminal, and a production process at which patterning of the 1st resist film is prepared and carried out on said metal thin film, and said metal thin film of a portion corresponding to said external terminal is exposed, A production process which removes said 1st resist film after depositing a conductive metal on an outcrop of said metal thin film and forming a metal deposit, While forming and carrying out patterning of the 2nd resist film to the upper part of said active side and carrying out half etching of a production process which leaves said 2nd resist film to said a part of metal deposit, and the outcrop of said metal deposit After etching and removing an outcrop of said metal thin film, it has composition of having a production process which forms a plinth which removes said 2nd resist film and has heights or a crevice in an external terminal location, and a production process which covers said plinth and prepares a solder ball.

[0014] Furthermore, a manufacture method of a semiconductor device concerning this invention A production process at which patterning of the 1st resist film is prepared and carried out to a production process which forms a conductive metal thin film in an active side which has an external terminal on said metal thin film, and said metal thin films other than a portion corresponding to said external terminal are exposed, A production process which removes said 1st resist film after etching and removing an outcrop of said metal thin film, A production process at which patterning of the 2nd resist film is prepared and carried out to the upper part of said active side, and said external terminal and said metal thin film of a corresponding location are exposed, A production process which forms a plinth by said conductive metal which removed the 2nd resist film and was plated in an external terminal location after plating a conductive metal to the upper part of said 2nd resist film on said exposed metal thin film, It is made a configuration which has a production process which covers said plinth and prepares a solder ball. thereby -- a mushroom -- relaxation and a thing of shearing stress which can form a plinth of a \*\*, and can heighten bonding strength of a plinth and a solder ball, and act on solder

at the time of mounting are made.

[0015]

[Embodiment of the Invention] The gestalt of desirable operation of the semiconductor device concerning this invention and its manufacture method is explained to details according to an accompanying drawing.

[0016] Drawing 1 is important section explanatory drawing of the semiconductor device concerning the gestalt of operation of this invention, (a) is the cross section, (b) is the plan of a plinth, and (C) and (d) are the plans showing other examples of the irregularity formed in the plinth, respectively.

[0017] In drawing 1 (a), while having formed the plinth 32 to which the semiconductor device 30 used as a semiconductor device turns into an external terminal of an active side from copper, solder resist 16 is formed in the perimeter of a plinth 32, and the gap 20 is formed between a plinth 32 and solder resist 16. And to the plinth 32, the solder ball 18 is fixed so that the upper surface and the side may be covered. Moreover, two or more heights 34 are formed in the upper surface, and, as for the plinth 32, the touch area (plane-of-union product) with the solder ball 18 is enlarged. Heights 34 and the crevice 36 between heights are formed in band-like as shown in this drawing (b). And in the case of the gestalt of this operation, the diameter of a plinth 32 serves as magnitude which is about 200-300 micrometers, similarly width of face is formed and, as for heights 34 and a crevice 36, the size of width of face is set to 20-50 micrometers.

[0018] Thus, in the gestalt of the constituted operation, if shearing stress acts on solder (solder ball 18) by the difference of coefficient of thermal expansion with a semiconductor device 30 and a mounting substrate at the time of cooling when mounted in the mounting substrate which fuses a solder ball and does not illustrate a semiconductor device 30 at a reflow furnace etc., heights 34 will bend and deform, will absorb a part of shearing stress, and will ease shearing stress. For this reason, it can prevent that a crack occurs in solder, a plinth 32 separates from the element main part 14, or the element main part 14 is missing. And by having prepared two or more irregularity in the upper surface of a plinth 32, it can become large sharply about the plane-of-union product of a plinth 32 and the solder ball 18, both bonding strength not only can abolish the accident of increase and solder exfoliating, but can distribute the shearing stress which acts on solder, and it can prevent that a crack arises in solder.

[0019] In addition, the heights 34 (or crevice 36) formed in a plinth 32 may be formed in the shape of a checker, as shown in this drawing (c), and as shown in this drawing (d), they may be formed in the shape of a concentric circle. And in the gestalt of said operation, although the case where the plinth 32 which has irregularity for the external terminal of a semiconductor device 30 was formed was explained, it is applicable also to the external end-connection child of packages, such as BGA.

[0020] drawing 2 (a) - (d) -- other operation gestalten of a plinth -- being shown. As for the plinth 40 shown in drawing 2 (a), the cylinder-like heights 42 are formed in the core on top. In this plinth 40, if shearing stress acts on solder, the heights 42 of a core will bend, a part of shearing stress will be absorbed, and stress will be eased. Furthermore, the center section on top is a crevice 46, and, as for the plinth 44 shown in this drawing (b), the periphery section is heights 48. And if shearing stress acts on solder, the heights 48 of the periphery section deform this plinth 44, and it will absorb shearing stress and will ease.

[0021] the mushroom to which the plinth 50 shown in drawing 2 (c) has an umbrella part 54 in the upper part of a shank 52 and a shank 52 -- it has formed in the \*\*. This plinth 50 eases shearing stress, when the whole bends. In addition, a plinth 50 can be easily formed by plating so that details may be mentioned later.

[0022] The plinth 60 shown in drawing 2 (d) forms a crevice 62 deeply, enlarges an aspect ratio and forms it in the shape of [ so-called ] Mt. Tsurugi while it forms a crevice 62 and heights 64 by turns. In the case of the gestalt of operation, a diameter D is 200-300 micrometers, and, as for this plinth 60, 20-100 micrometers and length [ of one side ] L of heights 64 are formed [ height h of the base 66 from the surface of the element main part 14 ] in 20-50 micrometers for 5-20 micrometers and height (depth of crevice 62) H of heights 64. Since heights 64 bend easily by this by the shearing stress which acts on solder, the big stress relaxation effect can be acquired.

[0023] Drawing 3 is explanatory drawing having shown an example of the operation gestalt of the manufacture method of the above-mentioned semiconductor device 30. First, as shown in this drawing (a), a copper layer 70 is deposited on the active side of the element main part 14. After this copper layer 70 forms the thin film of about 1000-7000Å copper in the surface of the element main part 14 by sputtering in the case of the gestalt of operation, it is that to which predetermined carried out the thickness deposition of the coppering on the copper thin film, and has the thickness of about 50-100 micrometers as a whole.

[0024] Then, photoresists 72 other than the portion which applies and carries out patterning of the photoresist 72 which is the 1st resist film to the surface of a copper layer 70, and forms the plinth corresponding to the external terminal of an element in it are removed, and a copper layer 70 is exposed (this drawing (b)). Next, after forming the plinth 32 which etches the exposed copper layer 70 and consists of copper (this drawing (c)), the photoresist 72 which remained

on the plinth 32 is removed (this drawing (d)). Furthermore, as shown in drawing 3 (e), patterning of the photoresist 74 which is the 2nd resist film is applied and carried out to the upper part of the element main part 14, and it leaves a photoresist 74 only to the portion which forms the heights on a plinth 32. Then, half etching of the plinth 32 is carried out, and it is made the plinth 32 which removes a photoresist 74 and by which the crevice 36 was formed in the predetermined depth, and heights 34 and a crevice 36 were formed in the upper surface (this drawing (f)). Next, as shown in this drawing (g), a plinth 32 is covered, the solder ball 18 is formed, and it considers as a semiconductor device 30.

[0025] In addition, barrier metal, such as chromium (Cr), a (Titanium Ti) titanium-tungsten alloy (TiW), or nickel (nickel), can be prepared between that of a plinth 32, and the element main part 14 if needed.

[0026] Drawing 4 shows other operation gestalten of the manufacture method. After predetermined carries out the thickness deposition of the copper layer 70 like [ the surface of the element main part 14 ] the above first ( drawing 4 (a)), this manufacture method applies and carries out patterning of the photoresist 72 which is the 1st resist film to the surface of a copper layer 70, and leaves only the photoresist 72 of the portion corresponding to the heights of a plinth (this drawing (b)). Then, after carrying out half etching of the portion which has exposed the copper layer 70, heights 34 and a crevice 36 are formed in the location in which the photoresist 72 which remains is removed and a plinth is prepared (this drawing (c)). Next, as shown in this drawing (d), photoresists 74 other than the portion which applies and carries out patterning of the photoresist 74 used as the 2nd resist film to the surface of a copper layer 70, and forms a plinth in it are removed, and a copper layer 70 is exposed. Next, after etching and removing the exposed copper layer 70, the plinth 32 which removes the photoresist 74 of the plinth formation section and has irregularity is formed (this drawing (e)). Then, as shown in this drawing (f), a plinth 32 is covered and the solder ball 18 is formed.

[0027] Drawing 5 shows the manufacture method of the semiconductor device further applied to the gestalt of other operations. This manufacture method forms the copper thin film 76 in the surface of the element main part 14 by sputtering first, as shown in drawing 5 (a). The thickness of this copper thin film 76 may be 1000-7000Å. Then, patterning of the photoresist 72 is applied and carried out on the copper thin film 76, and the photoresist 72 of the location which forms a plinth is removed (this drawing (b)). Furthermore, a photoresist 72 is removed, after plating copper into the portion which removed the photoresist 72 and forming a deposit 78, as shown in this drawing (c) (this drawing (d)).

[0028] Next, as shown in drawing 5 (e), patterning of the photoresist 74 is applied and carried out to the upper part of the element main part 14, and it leaves a photoresist 74 only to the portion corresponding to the heights formed in the coppering layer 78. And while etching and removing the exposed copper thin film 76, after carrying out half etching of the coppering layer 78, the photoresist 74 on the coppering layer 78 is removed, and the plinth 32 which has heights 34 and a crevice 36 is formed in the upper surface (this drawing (f)). Then, a plinth 32 is covered like the above, the solder ball 18 is formed, and a semiconductor device 30 is completed.

[0029] drawing 6 -- a mushroom -- the operation gestalt of the manufacture method of a semiconductor device of having the plinth of a \*\* is shown. First, as shown in drawing 6 (a), the copper thin film 76 is formed in the surface of the element main part 14 by sputtering. Next, patterning of the photoresist 72 used as the 1st resist film is applied and carried out on the copper thin film 76, and copper thin films 76 other than the external terminal of the element main part 14 and the corresponding portion are exposed (this drawing (b)). Then, as shown in this drawing (c), after etching and removing the outcrop of the copper thin film 76, the photoresist film 72 which it left to the correspondence location with an external terminal is removed. Furthermore, patterning of the photoresist 74 used as the 2nd resist film is applied and carried out to the upper part of the element main part 14, the photoresist 74 of the copper thin film 76 upper part is removed, and the copper thin film 76 is exposed (this drawing (d)).

[0030] Next, on the exposed copper thin film 76, copper is plated and the coppering layer 80 is formed ( drawing 6 (e)). This coppering layer 80 is performed until it rises in the upper part of a photoresist 74 as shown in drawing. thereby -- the coppering layer 80 -- the perimeter of the hole 82 of the upper surface of a photoresist 74 -- spreading -- a mushroom -- it becomes a \*\*. and the copper deposit 80 -- a mushroom -- the photoresist 74 if formed in a \*\*, after washing and drying -- removing -- a mushroom -- the plinth 50 of a \*\* is formed. Then, a plinth 50 is covered and the solder ball 18 is formed.

[0031]

[Effect of the Invention] By having established heights or a crevice in the plinth which fixes a solder ball according to this invention, as explained above When a solder ball is fused and a semiconductor device is mounted in a substrate, by the shearing stress which acts on the solder (solder ball) by the difference of coefficient of thermal expansion with a semiconductor device and a mounting substrate Heights, Or since the height of the perimeter which forms the crevice deforms and a part of shearing stress is absorbed, shearing stress is eased and it can prevent a crack arising in solder, or a plinth separating, or producing a chip in a semiconductor device. Moreover, while it becomes large about the plane-

of-union product (touch area) of a plinth and a solder ball and both bonding strength becomes large by having formed heights or a crevice in the plinth, the shearing stress which acts on solder can be distributed and it can prevent that a crack etc. arises in solder.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] A semiconductor device characterized by forming heights or a crevice in the surface of a plinth which fixes said solder ball in a semiconductor device which fixed a solder ball to an external end-connection child.

[Claim 2] Said heights or said crevice is a semiconductor device according to claim 1 characterized by having prepared more than one.

[Claim 3] Said two or more heights are semiconductor devices according to claim 2 characterized by having formed in the shape of Mt. Tsurugi.

[Claim 4] said plinth -- a mushroom -- a semiconductor device according to claim 1 characterized by having formed in a \*\*.

[Claim 5] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a conductive metal layer in an active side which has an external terminal A production process at which patterning of the 1st resist film is prepared and carried out on said metal layer, and said metal layers other than a portion corresponding to said external terminal are exposed A production process which forms a plinth which consists of said metal layer in an external terminal location which removes the 1st resist film after etching and removing an outcrop of said metal layer A production process which prepares and carries out patterning of the 2nd resist film to the upper part of said active side, and leaves said 2nd resist film only to a part on said plinth, a production process which removes the 2nd resist film after carrying out half etching of said plinth, and forms heights or a crevice in the upper surface of a plinth, and a production process which covers said plinth and prepares a solder ball

[Claim 6] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a conductive metal layer in an active side which has an external terminal A production process which prepares and carries out patterning of the 1st resist film on said metal layer, and leaves the 1st resist film to said external terminal and a part of corresponding portion A production process which removes said 1st resist film after carrying out half etching of said metal layer A production process which forms a plinth which removes the 2nd resist film after etching and removing a production process at which patterning of the 2nd resist film is prepared and carried out to the upper part of said active side, and said metal layers other than a portion corresponding to said external terminal are exposed, and an outcrop of said metal layer, and has heights or a crevice in an external terminal location, and a production process which covers said plinth and prepares a solder ball

[Claim 7] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a conductive metal thin film in an active side which has an external terminal A production process at which patterning of the 1st resist film is prepared and carried out on said metal thin film, and said metal thin film of a portion corresponding to said external terminal is exposed A production process which removes said 1st resist film after depositing a conductive metal on an outcrop of said metal thin film and forming a metal deposit While forming and carrying out patterning of the 2nd resist film to the upper part of said active side and carrying out half etching of a production process which leaves said 2nd resist film to said a part of metal deposit, and the outcrop of said metal deposit A production process which forms a plinth which removes said 2nd resist film and has heights or a crevice in an external terminal location after etching and removing an outcrop of said metal thin film, and a production process which covers said plinth and prepares a solder ball

[Claim 8] A manufacture method of a semiconductor device characterized by providing the following A production process which forms a conductive metal thin film in an active side which has an external terminal A production process at which patterning of the 1st resist film is prepared and carried out on said metal thin film, and said metal thin films other than a portion corresponding to said external terminal are exposed A production process which removes said 1st resist film after etching and removing an outcrop of said metal thin film A production process at which patterning of the 2nd resist film is prepared and carried out to the upper part of said active side, and said external terminal and said



metal thin film of a corresponding location are exposed, A production process which forms a plinth by said conductive metal which removed the 2nd resist film and was plated in an external terminal location after plating a conductive metal to the upper part of said 2nd resist film on said exposed metal thin film, and a production process which covers said plinth and prepares a solder ball

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is important section explanatory drawing of the semiconductor device concerning the gestalt of operation of this invention.

[Drawing 2] It is explanatory drawing of the plinth concerning other operation gestalten of this invention.

[Drawing 3] It is explanatory drawing showing an example of the manufacture method of the semiconductor device concerning the gestalt of operation.

[Drawing 4] It is explanatory drawing of the manufacture method of the semiconductor device concerning other operation gestalten.

[Drawing 5] It is explanatory drawing of the manufacture method of the semiconductor device furthermore applied to the gestalt of other operations.

[Drawing 6] the mushroom concerning the gestalt of operation -- it is explanatory drawing of the manufacture method of a semiconductor device of having the \*\* plinth.

[Drawing 7] It is important section explanatory drawing of the semiconductor device which has the conventional solder ball.

[Drawing 8] It is important section explanatory drawing of other conventional semiconductor devices which prepared the solder ball.

[Description of Notations]

14 Element Main Part

18 Solder Ball

30 Semiconductor Device

32 Plinth

34 Heights

36 Crevice

40, 44, 50, 60 Plinth

42, 48, 64 Heights

46 62 Crevice

---

[Translation done.]

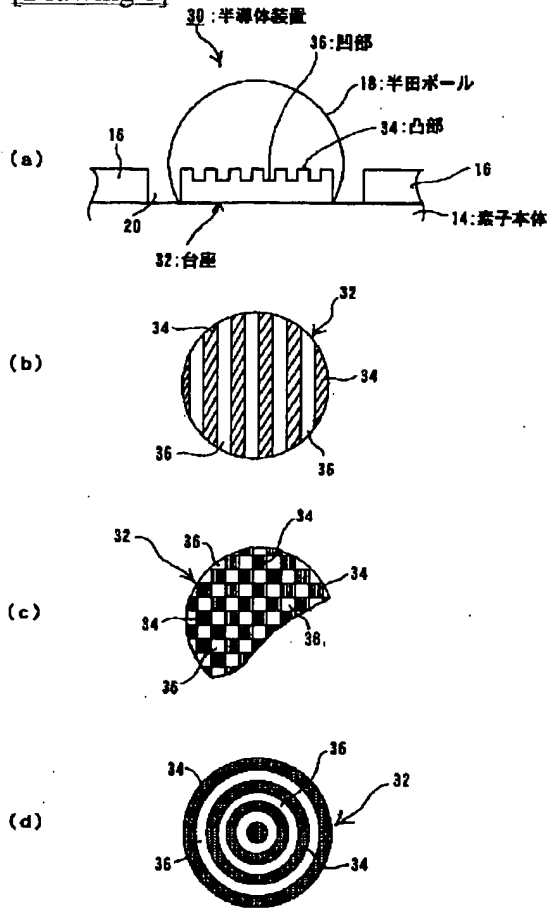
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

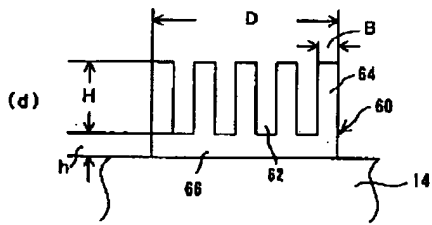
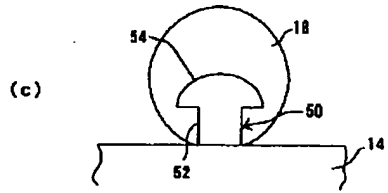
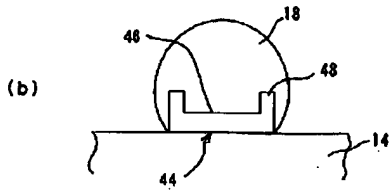
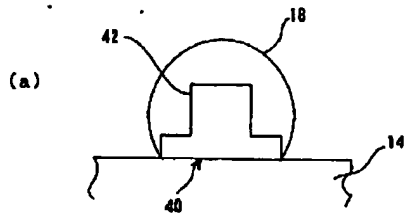
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

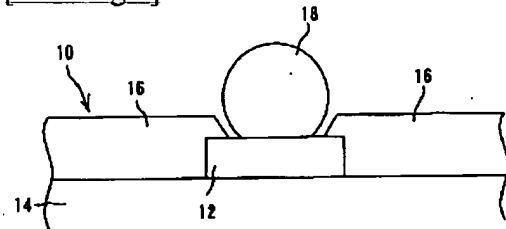
[Drawing 1]



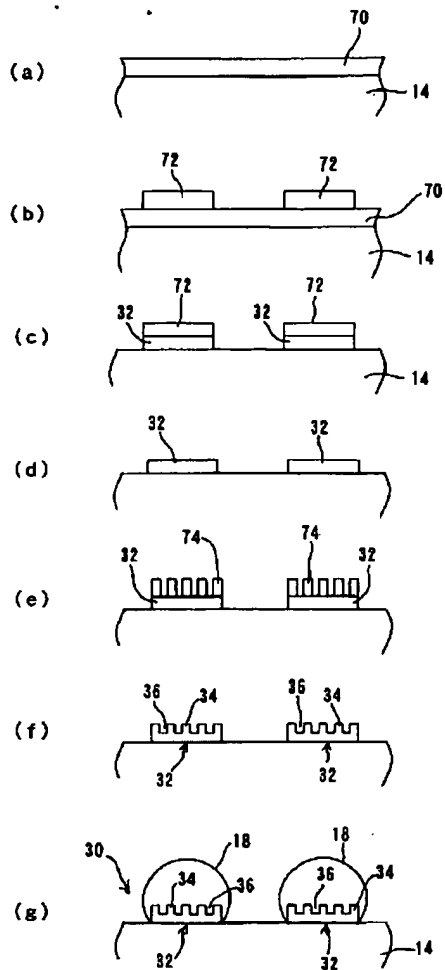
[Drawing 2]



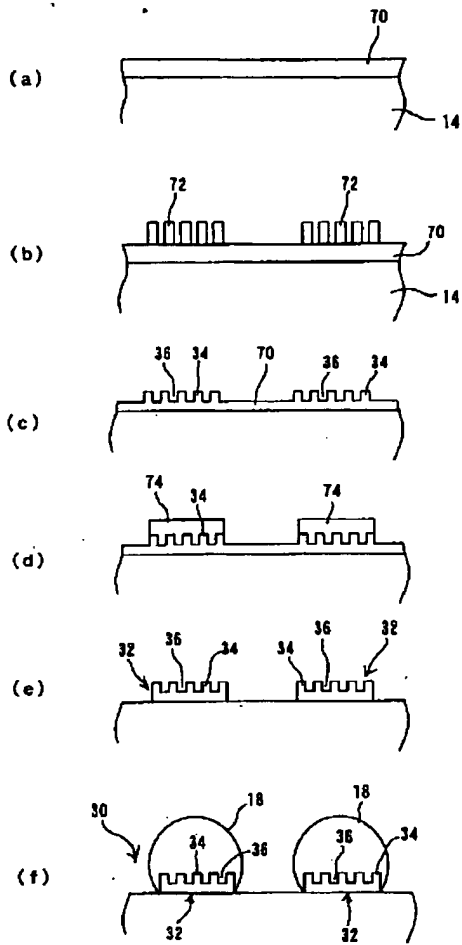
[Drawing 7]



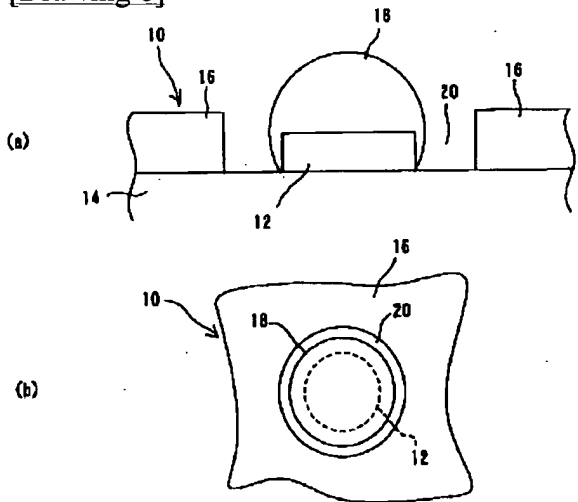
[Drawing 3]



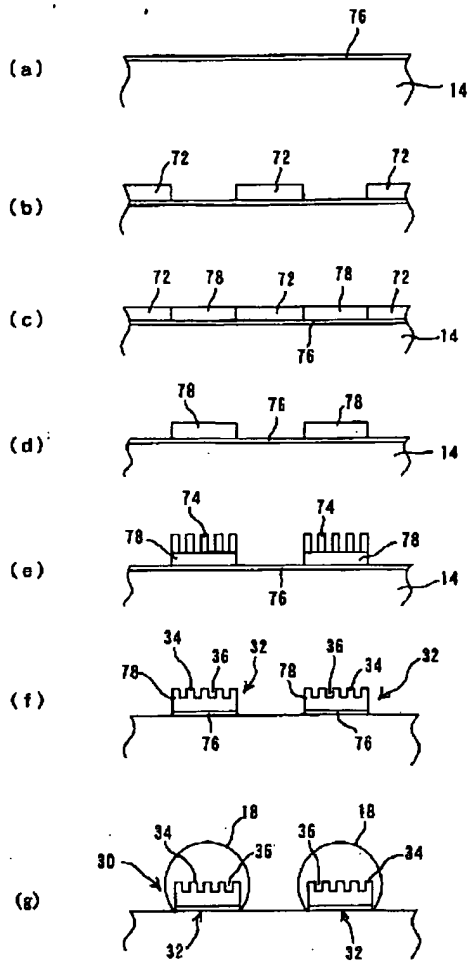
[Drawing 4]



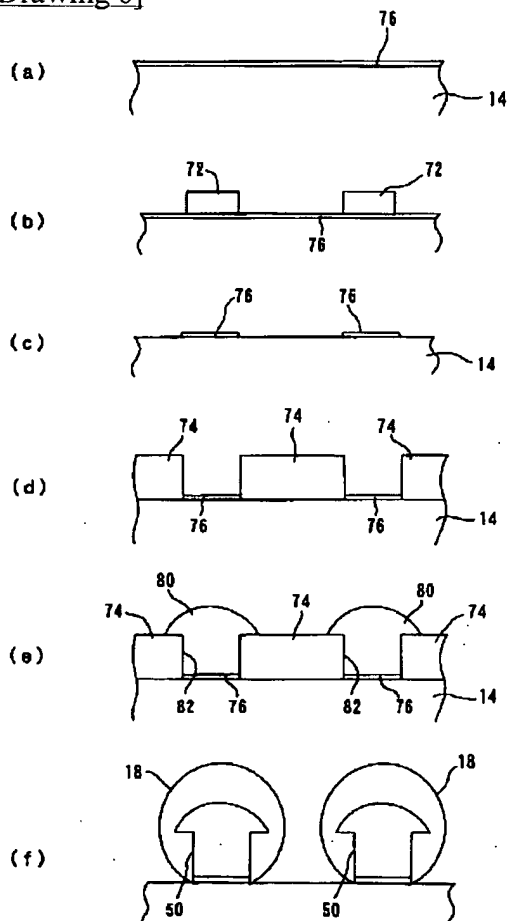
[Drawing 8]



[Drawing 5]



[Drawing 6]



---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297873

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平10-101522

(22) 出願日 平成10年(1998)4月13日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 花岡 輝直

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

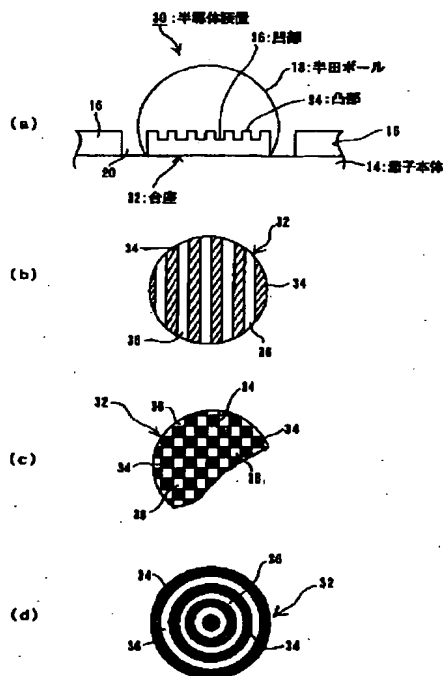
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 実装の際に半田ボールに作用する剪断応力を緩和する。

【解決手段】 半導体素子30は、素子本体14の外部端子に銅からなる台座32が形成してあって、半田ボール18が台座を覆うように設けてある。台座32は、上面に複数の凸部34と凹部36とを有する。これらの凸部34と凹部36とは、帯状、市松模様状または同心円状に形成してあり、半田ボール18との結合面積を大きくしてある。凸部34は、半田ボール18を溶融して半導体素地30を基板に実装した際に、半田(半田ボール18)に作用する剪断応力によって撓んで変形し、剪断応力の一部を吸収して応力を緩和する。



## 【特許請求の範囲】

【請求項1】 外部接続端子に半田ボールを固着した半導体装置において、前記半田ボールを固着する台座の表面に凸部または凹部を形成したことを特徴とする半導体装置。

【請求項2】 前記凸部または前記凹部は、複数設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記複数の凸部は、剣山状に形成していることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記台座は、茸状に形成していることを特徴とする請求項1に記載の半導体装置。

【請求項5】 外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第1のレジスト膜を取り去る外部端子位置に前記金属層からなる台座を形成する工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記台座の上の一部にのみ前記第2のレジスト膜を残す工程と、前記台座をハーフエッチングしたのち、第2のレジスト膜を除去して台座の上面に凸部または凹部を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項6】 外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分の一部にのみ第1のレジスト膜を残す工程と、前記金属層をハーフエッチングしたのち、前記第1のレジスト膜を除去する工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項7】 外部端子を有する能動面に導電性金属薄膜を形成する工程と、前記金属薄膜の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部に導電性金属を堆積して金属堆積層を形成したのち、前記第1のレジスト膜を除去する工程と、前記能動面の上部に第2のレジスト膜を形成してパター

ニングし、前記金属堆積層の一部にのみ前記第2のレジスト膜を残す工程と、前記金属堆積層の露出部をハーフエッチングするとともに、前記金属薄膜の露出部をエッチングして除去したのち、前記第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

【請求項8】 外部端子を有する能動面に導電性金属薄膜を形成する工程と

、前記金属薄膜の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部をエッチングして除去したのち、前記第1のレジスト膜を取り除く工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記外部端子に対応した位置の前記金属薄膜を露出させる工程と、露出させた前記金属薄膜の上に導電性金属を前記第2のレジスト膜の上部までメッキしたのち、第2のレジスト膜を除去して外部端子位置にメッキした前記導電性金属による台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特にボールグリッドアレイ（BGA）のように外部接続端子に半田ボールを固着した半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】近年、半導体装置の高集積化、小型化が強く要請されており、チップ程度の大きさのパッケージ、いわゆるチップサイズパッケージ（CSP）の開発が行なわれている。このような小型のパッケージにおいては、多ピン（多端子）化を図るために、半導体素子やパッケージの能動面に外部接続端子をマトリックス状に配置し、外部接続端子に半田ボールを固着している。図7は、半田ボールを有する従来の半導体素子の一部を示したものである。

【0003】図7において、半導体素子10は、素子本体14の表面の外部接続端子に対応した位置に台座12が銅の薄層によって形成してある。また、素子本体14の表面には、台座12の周縁部を覆っているソルダレジスト16が設けてある。そして、台座12のソルダレジスト16に覆われていない部分には、半田ボール18が固着してある。

【0004】ところで、CSPなどの半導体装置においては、高集積化、多ピン化を図るために台座12や半田ボール18の大きさが直径で200～300μm程度に

制約される。このため、台座 12 と半田ボール 18 との接合面積が小さくなり、両者の結合力が不足して半導体素子 10 を基板に実装したときに、半導体チップ 10 と実装基板との熱膨張率の相違から半田ボール 18 に大きな剪断応力が作用し、半田ボール 18 が台座 12 から剥離する問題を生ずる。そこで、半田ボール 18 と台座 12 との結合力を高めるために、図 8 のような構造の端子が提案されている。

【0005】すなわち、ソルダレジスト 16 を台座 12 に被せずに、台座 12 とソルダレジスト 16 との間に間隙 20 を形成し、半田ボール 18 の下部が台座 12 の側面を覆うようにし、半田ボール 18 と台座 12 との接合面積を大きくするとともに、実装の際に半田ボール 18 に作用する剪断応力を台座 12 を介して素子本体 14 によって受けるようにしている。

【0006】

【発明が解決しようとする課題】ところが、上記した従来の半導体装置においては、半導体素子 10 の基板への実装の際に、半田ボール 18 に作用する剪断応力を台座 12 を介して素子本体 14 に伝達するようになっていて、半田ボール 18 に作用する剪断応力を緩和する構造を有していないため、また台座 12 と半田ボール 18 との結合力が充分でないため、半田ボール 18 にクラックを生じたり、台座 12 が素子本体 14 から剥がれたり、素子本体 14 が欠けるなどして十分な信頼性を得ることができない。

【0007】本発明は、前記従来技術の欠点を解消するためになされたもので、実装の際に半田ボールに作用する剪断応力を緩和することを目的としている。

【0008】また、本発明は、半田ボールと台座との結合力を大きくすることを目的としている。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置は、外部接続端子に半田ボールを固着した半導体装置において、前記半田ボールを固着する台座の表面に凸部または凹部を形成した構成となっている。このように構成した半導体装置は、半田ボールを溶融して半導体装置を基板に実装したときに、半導体装置と実装基板との熱膨張率の相違による半田

(半田ボール) に作用する剪断応力により凸部、または凹部を形成している周囲の凸状部が変形することにより剪断応力の一部を吸収するため、剪断応力が緩和され、半田にクラックが生じたり、または台座が剥がれたり半導体装置に欠けを生じたりするのを防止することができる。また、台座に凸部または凹部を形成したことにより、台座と半田ボールとの接合面積(接触面積)を大きくして両者の結合力が大きくなるとともに、半田に作用する剪断応力を分散することができ、半田にクラックなどが生ずるのを防止することができる。

【0010】凸部または凹部を複数設けることにより、

台座と半田ボールとの接合面積をより大きくなって両者の結合力を高めることができる。複数の凸部を剣山状に、すなわち凸部のアスペクトを大きくすると、半田に作用する剪断応力によって凸部が容易に撓むため、剪断応力の緩和効果をより大きくすることができる。また、台座を茸状に形成すると、台座全体が撓んで半田に作用する剪断応力を緩和することができるばかりでなく、台座に傘部が形成されるため、剪断応力によって半田が台座から剥離するようなことがない。

【0011】そして、上記の半導体装置を製造する方法は、外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第 1 のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第 1 のレジスト膜を取り去る外部端子位置に前記金属層からなる台座を形成する工程と、前記能動面の上部に第 2 のレジスト膜を設けてパターンニングし、前記台座の上の一部にのみ前記第 2 のレジスト膜を残す工程と、前記台座をハーフエッチングしたのち、第 2 のレジスト膜を除去して台座の上面に凸部または凹部を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成にしてある。これにより、台座の上面に凹凸が形成され、台座と半田ボールとの接触面積が大きくなって両者の結合力を向上できるとともに、実装時に半田に作用する剪断能力を緩和することができる。

【0012】また、本発明に係る半導体装置の製造方法は、外部端子を有する能動面に導電性金属層を形成する工程と、前記金属層の上に第 1 のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分の一部にのみ第 1 のレジスト膜を残す工程と、前記金属層をハーフエッチングしたのち、前記第 1 のレジスト膜を除去する工程と、前記能動面の上部に第 2 のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属層を露出させる工程と、前記金属層の露出部をエッチングして除去したのち、第 2 のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成にした。

【0013】さらに、本発明に係る半導体装置の製造方法は、外部端子を有する能動面に導電性金属薄膜を形成する工程と、前記金属薄膜の上に第 1 のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部に導電性金属を堆積して金属堆積層を形成したのち、前記第 1 のレジスト膜を除去する工程と、前記能動面の上部に第 2 のレジスト膜を形成してパターンニングし、前記金属堆積層の一部にのみ前記第 2 のレジスト膜を残す工程と、前記金属堆積層の露出部をハーフエッチングするとともに、前記金属薄膜の露出部をエッチングして除去

したのち、前記第2のレジスト膜を取り去って外部端子位置に凸部または凹部を有する台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成となっている。

【0014】さらに、本発明に係る半導体装置の製造方法は、外部端子を有する能動面に導電性金属薄膜を形成する工程と、前記金属薄膜の上に第1のレジスト膜を設けてパターンニングし、前記外部端子に対応した部分以外の前記金属薄膜を露出させる工程と、前記金属薄膜の露出部をエッチングして除去したのち、前記第1のレジスト膜を取り除く工程と、前記能動面の上部に第2のレジスト膜を設けてパターンニングし、前記外部端子に対応した位置の前記金属薄膜を露出させる工程と、露出させた前記金属薄膜の上に導電性金属を前記第2のレジスト膜の上部までメッキしたのち、第2のレジスト膜を除去して外部端子位置にメッキした前記導電性金属による台座を形成する工程と、前記台座を覆って半田ボールを設ける工程と、を有する構成にしてある。これにより、茸状の台座を形成することができ、台座と半田ボールとの結合力を高めることができ、また実装時における半田に作用する剪断応力の緩和とすることができる。

#### 【0015】

【発明の実施の形態】本発明に係る半導体装置およびその製造方法の好ましい実施の形態を、添付図面に従って詳細に説明する。

【0016】図1は、本発明の実施の形態に係る半導体装置の要部説明図であって、(a)はその断面図、

(b)は台座の平面図であり、(c)、(d)はそれぞれ台座に形成した凹凸の他の例を示す平面図である。

【0017】図1(a)において、半導体装置となる半導体素子30は、能動面の外部端子に銅からなる台座32が形成してあるとともに、台座32の周囲にソルダレジスト16が設けてあって、台座32とソルダレジスト16との間に間隙20が形成されている。そして、台座32には、上面と側面とを覆うように半田ボール18が固着してある。また、台座32は、上面に複数の凸部34が形成してあって、半田ボール18との接触面積(結合面積)が大きくしてある。凸部34と、凸部間の凹部36とは、同図(b)に示したように、帯状に形成してある。そして、この実施の形態の場合、台座32の直径が200~300 $\mu$ m程度の大きさとなっていて、凸部34と凹部36とは、幅が同じに形成してあって、幅の寸法が20~50 $\mu$ mにしてある。

【0018】このように構成した実施の形態においては、リフロー炉などによって半田ボールを溶融して半導体素子30を図示しない実装基板に実装した場合、冷却時に半導体素子30と実装基板との熱膨張率の相違によって半田(半田ボール18)に剪断応力が作用すると、凸部34が撓み変形して剪断応力の一部を吸収し、剪断応力を緩和する。このため、半田にクラックが発生した

り、台座32が素子本体14から剥がれたり、素子本体14が欠けたりするのを防止することができる。しかも、台座32の上面に複数の凹凸を設けたことにより、台座32と半田ボール18との結合面積を大幅に大きくなって両者の結合力が増し、半田が剥離するなどの事故をなくすることができるばかりでなく、半田に作用する剪断応力を分散でき、半田にクラックが生ずるのを防止できる。

【0019】なお、台座32に形成する凸部34(または凹部36)は、同図(c)に示したように市松模様状に形成してもよいし、同図(d)に示したように同心円状に形成してもよい。そして、前記実施の形態においては、半導体素子30の外部端子に凹凸を有する台座32を設けた場合について説明したが、BGAなどのパッケージの外部接続端子に対しても適用することができる。

【0020】図2(a)~(d)は、台座の他の実施形態の示したものである。図2(a)に示した台座40は、上面の中心部に円柱状の凸部42が形成してある。この台座40においては、半田に剪断応力が作用すると、中心部の凸部42が撓んで剪断応力の一部を吸収して応力を緩和する。さらに、同図(b)に示した台座44は、上面の中央部が凹部46となっていて、周縁部が凸部48となっている。そして、この台座44は、半田に剪断応力が作用すると、周縁部の凸部48が変形して剪断応力を吸収、緩和する。

【0021】図2(c)に示した台座50は、軸部52と軸部52の上部に傘部54とを有する茸状に形成してある。この台座50は、全体が撓むことによって剪断応力を緩和する。なお、台座50は、詳細を後述するように、メッキによって容易に形成することができる。

【0022】図2(d)に示した台座60は、凹部62と凸部64とを交互に形成するとともに、凹部62を深く形成してアスペクト比を大きくし、いわゆる剣山状に形成したものである。この台座60は、実施の形態の場合、直径Dが200~300 $\mu$ mであって、素子本体14の表面からの基部66の高さhが5~20 $\mu$ m、凸部64の高さ(凹部62の深さ)Hが20~100 $\mu$ m、凸部64の一辺の長さLが20~50 $\mu$ mに形成してある。これにより、凸部64が半田に作用する剪断応力によって容易に撓むため、大きな応力緩和効果を得ることができる。

【0023】図3は、上記した半導体素子30の製造方法の実施形態の一例を示した説明図である。まず、同図(a)に示したように、素子本体14の能動面に銅層70を堆積する。この銅層70は、実施の形態の場合、素子本体14の表面にスパッタリングにより1000~7000オングストローム程度の銅の薄膜を形成したのち、銅の薄膜の上に銅メッキを所定の厚さ堆積したもので、全体として50~100 $\mu$ m程度の厚さを有している。

【0024】その後、銅層 70 の表面に第 1 のレジスト膜であるフォトレジスト 72 を塗布し、パターニングして素子の外部端子に対応した台座を形成する部分以外のフォトレジスト 72 を除去して銅層 70 を露出させる

(同図 (b))。次に、露出させた銅層 70 をエッチングして銅からなる台座 32 を形成したのち (同図

(c))、台座 32 の上に残っていたフォトレジスト 72 を除去する (同図 (d))。さらに、図 3 (e) に示したように、素子本体 14 の上部に第 2 のレジスト膜であるフォトレジスト 74 を塗布してパターニングし、台座 32 の上の凸部を形成する部分にだけフォトレジスト 74 を残す。その後、台座 32 をハーフエッチングして凹部 36 を所定の深さに形成し、フォトレジスト 74 を除去して上面に凸部 34 と凹部 36 とが形成された台座 32 にする (同図 (f))。次に、同図 (g) に示したように、台座 32 を覆って半田ボール 18 を設けて半導体素子 30 とする。

【0025】なお、必要に応じて台座 32 のと素子本体 14 との間に、クロム (Cr) やチタン (Ti)、チタン-タングステン合金 (TiW)、またはニッケル (Ni) などのバリアメタルを設けることができる。

【0026】図 4 は、製造方法の他の実施形態を示したものである。この製造方法は、まず素子本体 14 の表面に前記と同様にして銅層 70 を所定の厚さ堆積したのち (図 4 (a))、銅層 70 の表面に第 1 のレジスト膜であるフォトレジスト 72 を塗布してパターニングし、台座の凸部に対応した部分のフォトレジスト 72 のみを残す (同図 (b))。その後、銅層 70 の露出している部分をハーフエッチングしたのち、残っているフォトレジスト 72 を除去して台座を設ける位置に凸部 34 と凹部 36 とを形成する (同図 (c))。次に、同図 (d) に示したように、銅層 70 の表面に第 2 のレジスト膜となるフォトレジスト 74 を塗布し、パターニングして台座を形成する部分以外のフォトレジスト 74 を除去して銅層 70 を露出させる。次に、露出した銅層 70 をエッチングして除去したのち、台座形成部のフォトレジスト 74 を除去して凹凸を有する台座 32 を形成する (同図 (e))。その後、同図 (f) に示したように、台座 32 を覆って半田ボール 18 を設ける。

【0027】図 5 は、さらに他の実施の形態に係る半導体装置の製造方法を示したものである。この製造方法は、図 5 (a) に示したように、まず素子本体 14 の表面にスパッタリングによって銅の薄膜 76 を形成する。この銅薄膜 76 の厚さは、1000~7000 オングストロームであってよい。その後、銅薄膜 76 の上にフォトレジスト 72 を塗布してパターニングし、台座を形成する位置のフォトレジスト 72 を除去する (同図 (b))。さらに、同図 (c) に示したように、フォトレジスト 72 を除去した部分に銅をメッキしてメッキ層 78 を形成したのち、フォトレジスト 72 を除去する

(同図 (d))。

【0028】次に、図 5 (e) に示したように、素子本体 14 の上部にフォトレジスト 74 を塗布してパターニングし、銅メッキ層 78 に形成する凸部に対応した部分にのみフォトレジスト 74 を残す。そして、露出している銅薄膜 76 をエッチングして除去するとともに、銅メッキ層 78 をハーフエッチングしたのち、銅メッキ層 78 上のフォトレジスト 74 を除去し、上面に凸部 34 と凹部 36 とを有する台座 32 を形成する (同図

(f))。その後、前記と同様にして台座 32 を覆って半田ボール 18 を設けて半導体素子 30 を完成させる。

【0029】図 6 は、茸状の台座を有する半導体装置の製造方法の実施形態を示したものである。まず、図 6

(a) に示したように、素子本体 14 の表面にスパッタリングによって銅の薄膜 76 を形成する。次に、銅薄膜 76 の上に第 1 のレジスト膜となるフォトレジスト 72 を塗布してパターニングし、素子本体 14 の外部端子と対応した部分以外の銅薄膜 76 を露出させる (同図

(b))。その後、同図 (c) に示したように、銅薄膜 76 の露出部をエッチングして除去したのち、外部端子との対応位置に残したフォトレジスト膜 72 を除去する。さらに、素子本体 14 の上部に第 2 のレジスト膜となるフォトレジスト 74 を塗布してパターニングし、銅薄膜 76 上部のフォトレジスト 74 を除去して銅薄膜 76 を露出させる (同図 (d))。

【0030】次に、露出させた銅薄膜 76 の上に銅のメッキを施して銅メッキ層 80 を形成する (図 6 (e))。この銅メッキ層 80 は、図に示されているように、フォトレジスト 74 の上部に盛り上がるまで行なう。これにより、銅メッキ層 80 は、フォトレジスト 74 の上面の孔 82 の周囲に広がって茸状になる。そして、銅のメッキ層 80 が茸状に形成されたならば、洗浄、乾燥したのち、フォトレジスト 74 を除去し、茸状の台座 50 を形成する。その後、台座 50 を覆って半田ボール 18 を設ける。

【0031】

【発明の効果】以上に説明したように、本発明によれば、半田ボールを固着する台座に凸部または凹部を設けたことにより、半田ボールを溶融して半導体装置を基板に実装したときに、半導体装置と実装基板との熱膨張率の相違による半田 (半田ボール) に作用する剪断応力により凸部、または凹部を形成している周囲の凸状部が変形して剪断応力の一部を吸収するため、剪断応力が緩和され、半田にクラックが生じたり、または台座が剥がれたり半導体装置に欠けを生じたりするのを防止することができる。また、台座に凸部または凹部を形成したことにより、台座と半田ボールとの結合面積 (接触面積) を大きくなって両者の結合力が大きくなるとともに、半田に作用する剪断応力を分散することができ、半田にクラックなどが生ずるのを防止することができる。

## 【図面の簡単な説明】

【図 1】本発明の実施の形態に係る半導体装置の要部説明図である。

【図 2】本発明の他の実施形態に係る台座の説明図である。

【図 3】実施の形態に係る半導体装置の製造方法の一例を示す説明図である。

【図 4】他の実施形態に係る半導体装置の製造方法の説明図である。

【図 5】さらに他の実施の形態に係る半導体装置の製造方法の説明図である。

【図 6】実施の形態に係る茸状台座を有する半導体装置の製造方法の説明図である。

【図 7】従来の半田ボールを有する半導体素子の要部説

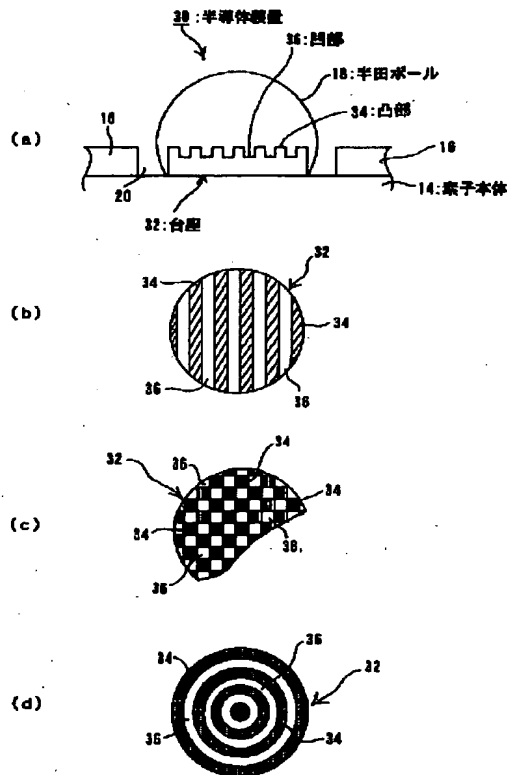
明図である。

【図 8】半田ボールを設けた従来の他の半導体素子の要部説明図である。

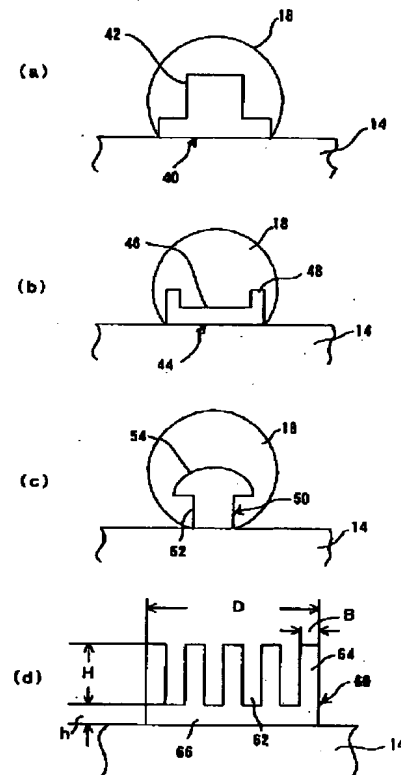
## 【符号の説明】

1 4	素子本体
1 8	半田ボール
3 0	半導体素子
3 2	台座
3 4	凸部
3 6	凹部
4 0、4 4、5 0、6 0	台座
4 2、4 8、6 4	凸部
4 6、6 2	凹部

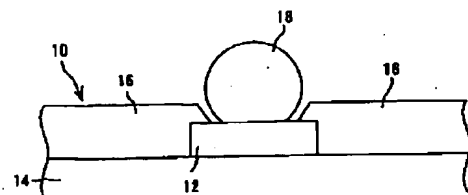
【図 1】



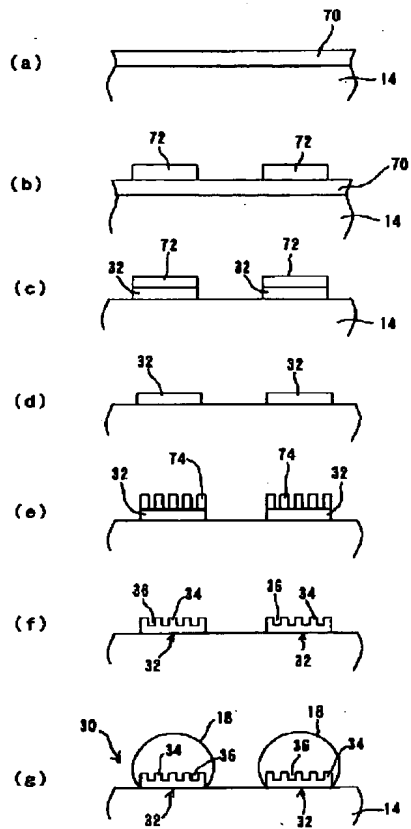
【図 2】



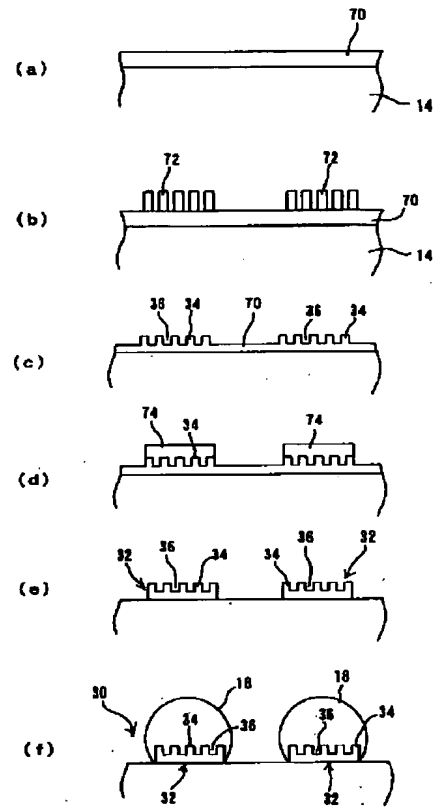
【図 7】



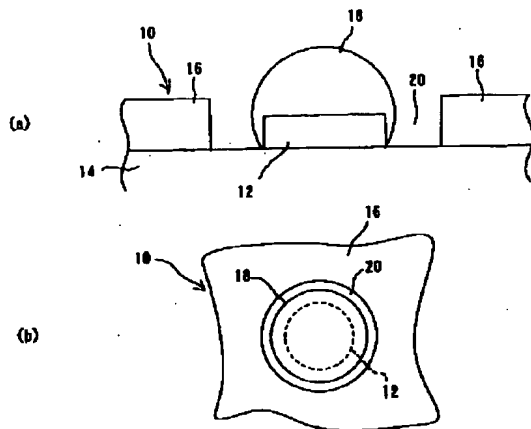
【図 3】



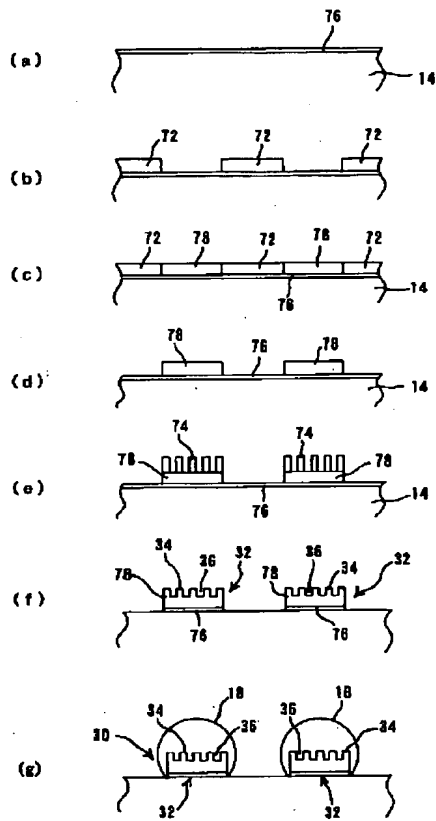
【図 4】



【図 8】



【図 5】



【図 6】

